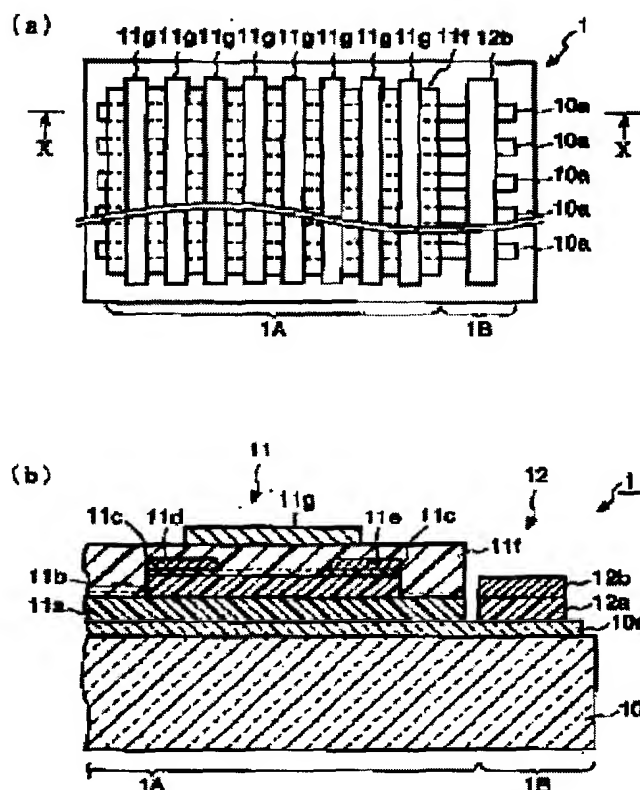


**Patent number:** JP2000208724  
**Publication date:** 2000-07-28  
**Inventor:** YAMADA HIROYASU  
**Applicant:** CASIO COMPUTER CO LTD  
**Classification:**  
- international: *G11C17/00; G11C13/04; H01L21/8247; H01L27/10; H01L27/115; H01L27/146; H01L29/788; H01L29/792; H01L51/50; H04N5/335; H05B33/12; G11C17/00; G11C13/04; H01L21/70; H01L27/10; H01L27/115; H01L27/146; H01L29/66; H01L51/50; H04N5/335; H05B33/12; (IPC1-7): H05B33/14; H01L27/10; G11C17/00; H01L21/8247; H01L27/115; H01L27/146; H01L29/788; H01L29/792; H04N5/335*  
- european: G11C13/04E  
**Application number:** JP19990008169 19990114  
**Priority number(s):** JP19990008169 19990114

**PROBLEM TO BE SOLVED:** To write and delete data in a short time and accurately.

**SOLUTION:** A transparent electrode 10a is formed as the bottom electrode of a double gate memory 11 on a glass substrate 10. A bottom insulation film 11a is formed thereon, and a semiconductor layer 11b made of a-Si is formed corresponding to the position of the bottom electrode. A source electrode 11d and a drain electrode 11e are formed on both sides of the semiconductor layer 11b via an n+Si layer 11c. Furthermore, a top gate insulation film 11f and a top gate electrode 11g are formed sequentially thereon. Both the bottom gate insulation film 11a and top gate insulation film 11f are made of SiN, and the latter has a higher ratio of Si, so that a trap region is formed. A light emitted from an organic EL layer 11a is made to enter the semiconductor layer 11b via the transparent electrode 10a, and carriers (holes and electrons) to be trapped by the trap region is generated.



(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-208724

(P 2 0 0 0 - 2 0 8 7 2 4 A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int. Cl. <sup>7</sup>	識別記号	F I	テマコード (参考)
H01L 27/10	451	H01L 27/10	451
G11C 17/00	580	G11C 17/00	580 A
H01L 27/115		H04N 5/335	A
27/146		H05B 33/14	A
21/8247		H01L 27/10	434

審査請求 未請求 請求項の数 8 O L (全17頁) 最終頁に続く

(21) 出願番号 特願平11-8169

(22) 出願日 平成11年1月14日 (1999.1.14)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 山田 裕康

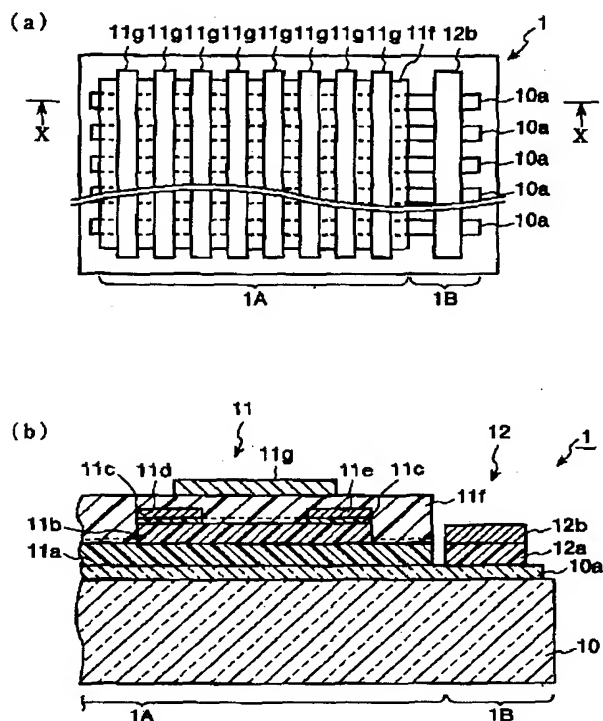
東京都八王子市石川町2951番地の5 カシオ計算機株式会社八王子研究所内

(54) 【発明の名称】 記憶素子、その駆動方法及び記憶装置、並びに撮像装置

(57) 【要約】

【課題】 データの書き込み、消去共に短時間で精度よく行う。

【解決手段】 ガラス基板10上の透明電極10aは、ダブルゲートメモリ11のボトムゲート電極となる。この上に、ボトムゲート絶縁膜11aが形成され、ボトムゲート電極の位置に対応してa-Siからなる半導体層11bが形成される。半導体層11bの両側には、n+Si層11cを介してソース電極11dとドレイン電極11eとが形成される。さらにその上に、トップゲート絶縁膜11fとトップゲート電極11gとが順次形成されている。ここで、ボトムゲート絶縁膜11aとトップゲート絶縁膜11fは、共にSiNによって構成されるが、トップゲート絶縁膜11fの方がSiの比率が高く、トラップ領域が形成される。また、有機EL層12aの発光した光は、透明電極10aを介して半導体層11bに入射され、トラップ領域にトラップされるキャリア(正孔及び電子)が生成される。



## 【特許請求の範囲】

【請求項 1】データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給される第 1 ゲート電極と、

前記第 1 ゲート電極上に形成された第 1 ゲート絶縁膜と、

入射された光によって励起されて内部にキャリアを発生し、前記第 1 ゲート電極に供給された電圧によってチャネルを形成する半導体層と、

供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、

前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第 2 ゲート絶縁膜と、

前記第 2 ゲート絶縁膜上の前記半導体層に対応する位置に形成され、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第 2 ゲート絶縁膜のトラップ領域にトラップさせる第 2 ゲート電極と、

供給された電圧に従って発光し、前記半導体層に光を入射させる発光素子とを備えることを特徴とする記憶素子。

【請求項 2】前記第 1 ゲート絶縁膜と第 2 ゲート絶縁膜とは、窒化シリコンによって構成され、

前記第 2 ゲート絶縁膜の窒化シリコンの組成は、前記第 1 ゲート絶縁膜に比べてシリコンの比率が高くなっていることを特徴とする請求項 1 に記載の記憶素子。

【請求項 3】前記半導体層は、電子を多数キャリアとするアモルファスシリコンによって構成され、前記第 1 ゲート電極に供給された電圧に応じて、前記第 2 ゲート電極との界面の反対側にチャネルを形成することを特徴とする請求項 1 または 2 に記載の記憶素子。

【請求項 4】前記第 1 ゲート電極は、前記第 1 ゲート絶縁膜の外部にまで伸延する透明電極によって構成され、前記発光素子は、前記透明電極を介して発光した光を前記半導体層に入射させることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の記憶素子。

【請求項 5】前記第 1 ゲート電極の外部にまで伸延した部分は、前記発光素子の一方の電極を兼ねることを特徴とする請求項 4 に記載の記憶素子。

【請求項 6】データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給される第 1 ゲート電極と、前記第 1 ゲート電極上に形成された第 1 ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第 1 ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電

流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の前記半導体層に対応する位置に形成され、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第 2 ゲート絶縁膜のトラップ領域にトラップさせる第 2 ゲート電極と、供給された電圧に従って発光し、前記半導体層に光を入射させる発光素子とを備える記憶素子の前記発光素子を発光させて前記半導体層に光を入射させると共に、該入射された光によって発生したキャリアのうちの正孔または電子の一方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第 2 ゲート電極に供給して、前記記憶素子をデータの消去状態とさせるデータ消去ステップと、

前記発光素子を発光させて前記半導体層に光を入射させると共に、該入射された光によって発生したキャリアのうちの正孔または電子の他方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第 2 ゲート電極に供給して、前記記憶素子をデータの書き込み状態とさせるデータ書き込みステップと、

前記ドレイン電極と前記ソース電極とに所定の電圧を印加し、前記半導体層を介して流れる電流によって変化する電圧を読み出すことで、前記記憶素子に記憶されているデータを読み出すデータ読み出しステップとを含むことを特徴とする記憶素子の駆動方法。

【請求項 7】データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給される第 1 ゲート電極と、前記第 1 ゲート電極上に形成された第 1 ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第 1 ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の前記半導体層に対応する位置に形成され、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第 2 ゲート絶縁膜のトラップ領域にトラップさせる第 2 ゲート電極とを備える記憶素子が複数形成されたメモリパネルと、

供給された電圧に従って発光し、前記半導体層に光を入射させる発光素子と、

データを消去または書き込むべき記憶素子に対応する発光素子を選択して発光させる選択手段と、

前記選択手段により発光素子が発光した光によって半導体層内に発生したキャリアのうちの正孔または電子の一方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第 2 ゲート電極に供給し、データの消去状態とする消去手段と、

前記選択手段により発光素子が発光した光によって半導体層内に発生したキャリアのうちの正孔または電子の他方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第 2 ゲート電極に供給し、データの書き込み状態とする書き込み手段と、

データの読み出し対象となる記憶素子の前記ドレイン電極と前記ソース電極との間に所定の電圧を印加し、前記半導体層を介して流れる電流によって変化する電圧を読み出すことで、対応する記憶素子からデータを読み出す読み出し手段とを備えることを特徴とする記憶装置。

【請求項 8】選択的に所定の電圧が供給される第 1 ゲート電極と、前記第 1 ゲート電極上に形成された第 1 ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第 1 ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の前記半導体層に対応する位置に形成され、選択的に所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第 2 ゲート絶縁膜のトラップ領域にトラップさせる第 2 ゲート電極とを備える記憶素子が所定の配列で配置されたメモリパネルと、

発光することによりすべての半導体層にキャリアを発生させる全発光手段と、

撮像対象の光像を、前記メモリパネル上に結像させる結像手段と、

前記結像手段により撮像対象の光像が前記メモリパネル上に結像されている光像によって半導体層内に発生したキャリアのうちの正孔または電子の一方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を、前記第 2 ゲート電極に供給する書き込み手段と、前記ドレイン電極と前記ソース電極との間に所定の電圧を印加し、前記半導体層を介して流れる電流によって変化する電圧を、各記憶素子について順次読み出す読み出し手段とを備えることを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、光の照射によりデータの書き込み及び消去を高速に行う記憶素子、その駆動方法及び記憶装置に関する。本発明は、また、このような記憶素子の機能を利用して構成した撮像装置に関する

る。

【0002】

【従来の技術】ユーザがデータの書き込みを行うことができ、しかもそのデータの消去を電氣的に行うことができる不揮発性のメモリ（EEPROM; Electric Erasable Programmable Read Only Memory）として、コプラナ構造と逆スタガ構造とを組み合わせた薄膜トランジスタからなるダブルゲートメモリが知られている。

【0003】図 12 は、従来のダブルゲートメモリの構造を示す断面図である。図示するように、このダブルゲートメモリでは、ガラス基板 10 上に、アルミニウムからなるボトムゲート電極 14a が形成されている。ボトムゲート電極 14a を覆うように、基板 10 上には、SiN（窒化シリコン）からなるボトムゲート絶縁膜 14b が形成されている。

【0004】ボトムゲート絶縁膜 14b の上には、ボトムゲート電極 14a に対向して a-Si（アモルファスシリコン）からなる半導体層 14c が形成されており、半導体層 14c の両側には、n+Si 層 14d を介してソース電極 14e とドレイン電極 14f とが形成されている。これらを覆うようにして、ボトムゲート絶縁膜 14b の上には、SiN からなるトップゲート絶縁膜 14g が形成されている。トップゲート絶縁膜 14g の上の、半導体層 14c と対向する位置には、アルミニウムからなるトップゲート電極 14h が形成されている。

【0005】なお、ボトムゲート電極 14a と、トップゲート電極 14h とは、それぞれソース電極 14e とドレイン電極 14f との間に、一部重なり合いを持つようにして形成されている。また、ボトムゲート絶縁膜 14b は、半導体層 14c との界面近傍において、他の部分よりも Si の比率が高く、Si : N ≒ 1 : 1 となっており、キャリアをトラップするトラップ領域（図中、「— — —」で示す）が形成されている。なお、ボトムゲート絶縁膜 14b のガラス基板 10 近傍の領域、及びトップゲート絶縁膜 14g では、Si : N ≒ 3 : 4 となっている。

【0006】次に、このダブルゲートメモリの動作原理を、図 13 を参照して説明する。まず、データを消去する（0 にする）場合には、図 13 (a) に示すように、ボトムゲート電極 14a とトップゲート電極 14h とにそれぞれ -20 (V) を印加し、ソース電極 14e とドレイン電極 14f とにそれぞれ 0 (V) を印加する。このとき、半導体層 14c 内では、ボトムゲート電極 14a とソース電極 14e またはドレイン電極 14f との重なり部において微量の熱により励起されて正孔が発生する。発生した正孔は、ボトムゲート電極 14a の -20 (V) によって引き寄せられ、ボトムゲート絶縁膜 14b のトラップ領域にトラップされる。しかしながら、常温、常圧で半導体層 14c で正孔をトラップ領域にトラップさせるには 1 秒程度かかっていた。

【0007】次に、データを書き込む(1にする)場合には、図13(b)に示すように、ボトムゲート電極14aに+20(V)、トップゲート電極14hに0(V)を印加し、ソース電極14eとドレイン電極14fとにそれぞれ0(V)を印加する。このとき、半導体層14c内の多数キャリアである電子が、ボトムゲート電極14aの+20(V)によって引き寄せられ、ボトムゲート絶縁膜14bのトラップ領域にトラップされる。

【0008】また、データを読み出す場合には、図13(c)、(d)に示すように、ボトムゲート電極14aに+10(V)、トップゲート電極14hに0(V)、ソース電極14eに0(V)、ドレイン電極14fに+10(V)を印加する。このとき、データが消去状態となっている場合には、図13(c)に示すように、トラップ領域にトラップされている正孔が作る電界によって、またはこのトラップされている正孔が作る電界がボトムゲート電極14aの電界を妨げないため、半導体層14c内にnチャネルが形成される。これにより、ソース電極14eとドレイン電極14fとの間に電流が流れ、消去状態(0)としてデータを読み出すことができる。

【0009】一方、データが書き込み状態(1)となっている場合には、図13(d)に示すように、ボトムゲート電極14aに正の電圧を印加してもトラップ領域にトラップされている電子が作る電界によって障害され、半導体層14c内のnチャネルがピンチオフされる。すなわち、連続したnチャネルが形成されていない状態となる。これにより、ソース電極14eとドレイン電極14fとの間に電位差があっても、電流が流れることはなく、書き込み状態(1)としてデータを読み出すことができる。

【0010】ところで、半導体層14c内のnチャネルの形成には、ボトムゲート電極14aに印加されたボトムゲート電圧VBGの+10(V)による電界と、ボトムゲート絶縁膜14bのトラップ領域にトラップされた電荷による電界との双方が影響する。このため、図14の電流-電圧特性図に示すように、ソース電極14eとドレイン電極14fとの間に電位差Vdを+10(V)とし、半導体層14cのチャネル長を10 $\mu$ m、チャネル幅を100 $\mu$ mとし、トップゲート電極14hに印加されたトップゲート電圧VTGを矢印の方向にシフトするとこのようなダブルゲートメモリでは読み出し電流にヒステリシスが生じていた。トップゲート電極14hにトップゲート電圧VTGが印加されると、このヒステリシスにより消去後と書き込み後で流れるドレイン電流Idに差が生じ、この差による電圧差を検出することにより消去状態であるか書き込み状態であるかを判断するが、半導体層14cのチャネルが形成される領域がボトムゲート絶縁膜14bのトラップ領域に近接しているため、トラ

ップ領域でトラップされたキャリアがチャネルにより減少してしまい、図14に破線で示すように、特に消去後のトラップされた正孔が減少してしまうため、読み出し時のドレイン電流Idの差が小さくなり、検出精度が悪くなるといった問題があった。

【0011】また、データを消去状態(0)は、ボトムゲート絶縁膜14bのトラップ領域に正孔をトラップすることによってなされるが、トラップすべき正孔は、熱励起で発生させなければならない。このため、十分な量の正孔を発生させるまでに時間がかかり、多数キャリアである電子をトラップ領域に注入するデータの書き込みの場合に比べて、データの書き込みには2桁以上の時間差が生じていた。このため、このようなダブルゲートメモリを使用した記憶素子は、現実的な実用化が困難であった。

【0012】

【発明が解決しようとする課題】本発明は、精度の高いデータの書き込み、消去共に短時間で行うことができる記憶素子、その駆動方法及び記憶装置を提供することを目的とする。

【0013】本発明は、また、このような記憶素子を撮像素子としても用いることによって、様々な量産化メリットを得ることができる撮像装置を提供することを目的とする。

【0014】

【課題を解決するための手段】上記目的を達成するため、本発明の第1の観点にかかる記憶素子は、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給される第1ゲート電極と、前記第1ゲート電極上に形成された第1ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第1ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第2ゲート絶縁膜と、前記第2ゲート絶縁膜上の前記半導体層に対応する位置に形成され、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第2ゲート絶縁膜のトラップ領域にトラップさせる第2ゲート電極と、供給された電圧に従って発光し、前記半導体層に光を入射させる発光素子とを備えることを特徴とする。

【0015】上記記憶素子では、第2ゲート絶縁膜のトラップ領域にトラップされているキャリアが正孔か電子かによって、データの読み出しに応じた電圧を第2ゲート電極と第1ゲート電極に供給したときに、キャリアの

電荷のために半導体層内にチャネルが形成されたり、されなかったりする。すなわち、トラップされるキャリアの種類により、データの読み出し時においてドレイン電極とソース電極との間を電流が流れるかどうか決まるので、データが消去状態となっているか書き込み状態となっているかを読み出すことができる。ここで、トラップ領域にトラップされるキャリアは、発光素子が発光した光を入射させることによって半導体層内に迅速に発生されるので、熱励起により発生するキャリアの量に比べて多く、データの消去或いは書き込みが高速で行えるようになる。正孔をトラップさせるために第2ゲート電極に印加される電圧及び時間は、+20 (V) 以上で数ns ~ 数十ns 程度の時間があればよい。電子をトラップさせるために第2ゲート電極に印加される電圧及び時間は、-20 (V) 以下で0.1ms ~ 数ms 程度の時間があればよい。

【0016】上記記憶素子において、前記第1ゲート絶縁膜と第2ゲート絶縁膜とは、例えば、窒化シリコンによって構成されたものとすることができる。この場合、前記第2ゲート絶縁膜の窒化シリコンの組成は、前記第1ゲート絶縁膜に比べてシリコンの比率が高くなるものとすることによって、第2ゲート絶縁膜に前記のトラップ領域を形成することができる。

【0017】上記記憶素子において、前記半導体層は、例えば、電子を多数キャリアとするアモルファスシリコンによって構成されたものとすることができる。この場合、前記半導体層は、前記第1ゲート電極に供給された電圧に応じて、前記第2ゲート電極との界面の反対側にチャネルを形成するものとすることができる。

【0018】この構造のために、チャネルがトラップ領域にトラップされたキャリアを消失させることができなく、安定したヒステリシスループを得ることができる。

【0019】上記記憶素子において、前記第1ゲート電極は、前記第1ゲート絶縁膜の外部にまで伸延する透明電極によって構成され、前記発光素子は、前記透明電極を介して発光した光を前記半導体層に入射させるものとしてもよい。

【0020】この場合、前記第1ゲート電極の外部にまで伸延した部分は、前記発光素子の一方の電極を兼ねるものとすることができる。

【0021】上記記憶素子において、前記第2ゲート電極は、また、前記発光素子の一方の電極を兼ねる透明電極によって構成され、前記発光素子は、前記透明電極を介して発光した光を前記半導体層に入射させるものとするすることができる。

【0022】上記記憶素子では、例えば、前記第2ゲート絶縁膜のトラップ領域に正孔がトラップされている状態をデータの消去状態とし、前記第2ゲート絶縁膜のトラップ領域に電子がトラップされている状態をデータの書き込み状態とすることができる。

【0023】上記目的を達成するため、本発明の第2の観点にかかる記憶素子の駆動方法は、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給される第1ゲート電極と、前記第1ゲート電極上に形成された第1ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第1ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第2ゲート絶縁膜と、前記第2ゲート絶縁膜上の前記半導体層に対応する位置に形成され、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第2ゲート絶縁膜のトラップ領域にトラップさせる第2ゲート電極と、供給された電圧に従って発光し、前記半導体層に光を入射させる発光素子とを備える記憶素子の前記発光素子を発光させて前記半導体層に光を入射させると共に、該入射された光によって発生したキャリアのうちの正孔または電子の一方を前記第2ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第2ゲート電極に供給して、前記記憶素子をデータの消去状態とさせるデータ消去ステップと、前記発光素子を発光させて前記半導体層に光を入射させると共に、該入射された光によって発生したキャリアのうちの正孔または電子の他方を前記第2ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第2ゲート電極に供給して、前記記憶素子をデータの書き込み状態とさせるデータ書き込みステップと、前記ドレイン電極と前記ソース電極とに所定の電圧を印加し、前記半導体層を介して流れる電流によって変化する電圧を読み出すことで、前記記憶素子に記憶されているデータを読み出すデータ読み出しステップとを含むことを特徴とする。

【0024】上記目的を達成するため、本発明の第3の観点にかかる記憶装置は、データの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給される第1ゲート電極と、前記第1ゲート電極上に形成された第1ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第1ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第2ゲート絶縁膜と、前記第2ゲート絶縁膜上の前記半導体層に対応する位置に形成され、デ-



タの消去、書き込みまたは読み出しのそれぞれに応じた所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第 2 ゲート絶縁膜のトラップ領域にトラップさせる第 2 ゲート電極とを備える記憶素子が複数形成されたメモリパネルと、供給された電圧に従って発光し、前記半導体層に光を入射させる発光素子と、データを消去または書き込むべき記憶素子に対応する発光素子を選択して発光させる選択手段と、前記選択手段により発光素子が発光した光によって半導体層内に発生したキャリアのうちの正孔または電子の一方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第 2 ゲート電極に供給し、データの消去状態とする消去手段と、前記選択手段により発光素子が発光した光によって半導体層内に発生したキャリアのうちの正孔または電子の他方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を前記第 2 ゲート電極に供給し、データの書き込み状態とする書き込み手段と、データの読み出し対象となる記憶素子の前記ドレイン電極と前記ソース電極との間に所定の電圧を印加し、前記半導体層を介して流れる電流によって変化する電圧を読み出すことで、対応する記憶素子からデータを読み出す読み出し手段とを備えることを特徴とする。

【0025】上記記憶装置では、各記憶素子がデータの消去状態であるか書き込み状態であるかは、トラップ領域にトラップされるキャリアの種類によって決まるが、いずれのキャリアをトラップ領域にトラップさせるかは、消去手段または書き込み手段が第 2 ゲート電極に供給する電圧に応じて決まる。ここで、トラップ領域にトラップされるキャリアは、発光素子が発光した光を入射させることによって半導体層内に発生されるので、データの消去或いは書き込みが高速で行えるようになる。

【0026】上記目的を達成するため、本発明の第 4 の観点にかかる撮像装置は、選択的に所定の電圧が供給される第 1 ゲート電極と、前記第 1 ゲート電極上に形成された第 1 ゲート絶縁膜と、入射された光によって励起されて内部にキャリアを発生し、前記第 1 ゲート電極に供給された電圧によってチャネルを形成する半導体層と、供給された電圧に応じて、前記半導体層に形成されたチャネルを通じて電流を流させるドレイン電極及びソース電極と、前記半導体層並びに前記ドレイン電極及びソース電極の上に形成され、前記半導体層との界面において前記半導体層内に発生したキャリアをトラップするトラップ領域を形成する第 2 ゲート絶縁膜と、前記第 2 ゲート絶縁膜上の前記半導体層に対応する位置に形成され、選択的に所定の電圧が供給され、供給された電圧に応じて前記半導体層内のキャリアを前記第 2 ゲート絶縁膜のトラップ領域にトラップさせる第 2 ゲート電極とを備える記憶素子が所定の配列で配置されたメモリパネルと、発光することによりすべての半導体層にキャリアを発生させる全発光手段と、撮像対象の光像を、前記メモリパ

ネル上に結像させる結像手段と、前記結像手段により撮像対象の光像が前記メモリパネル上に結像されている光像によって半導体層内に発生したキャリアのうちの正孔または電子の一方を前記第 2 ゲート絶縁膜のトラップ領域にトラップさせるための電圧を、前記第 2 ゲート電極に供給する書き込み手段と、前記ドレイン電極と前記ソース電極との間に所定の電圧を印加し、前記半導体層を介して流れる電流によって変化する電圧を、各記憶素子について順次読み出す読み出し手段とを備えることを特徴とする。

【0027】上記撮像装置では、全発光手段によってすべての記憶素子の半導体層に光を入射させ、その前にトラップされていたキャリアを消去するために全発光手段が発光してトラップされたキャリアを迅速に除去させるために半導体層にキャリアを生成するので迅速且つ感度よく指紋等をセンスすることができる。また、結像手段によってメモリパネル上に結像された光の明暗によって、メモリパネル上の記憶素子がデータの書き込み状態とされる。そして、読み出し手段によって各記憶素子から読み出したデータが書き込み状態かそうでないかによって、撮像対象の画像を 2 値画像として得ることができる。すなわち、上記撮像装置は、発光素子の発光の制御方法、第 2 ゲート電極及び第 1 ゲート電極へ供給する電圧の制御方法を変えるだけで、第 3 の観点にかかる記憶装置と実質的に同一の構成とすることができるので、部品の共通化による様々な量産メリットを得ることができる。

【0028】

【発明の実施の形態】以下、添付図面を参照して、本発明の実施の形態について説明する。

【0029】〔第 1 の実施の形態〕この実施の形態では、電氣的にデータの書き込み及び消去を行うことができる不揮発性の記憶素子 (EEPROM) 及び装置に、本発明を適用した場合について説明する。

【0030】図 1 は、この実施の形態にかかる記憶装置の構成を示すブロック図である。図示するように、この記憶装置は、メモリパネル 1 と、W/E/R (Write/Erase/Read) 選択ドライバ 2 と、EL 駆動電源回路 3 と、S/P (シリアル/パラレル) 変換器 4 と、バッファ 5 と、R (Read) 選択ドライバ 6 と、バッファ 7 と、P/S (パラレル/シリアル) 変換器 8 と、制御部 9 とから構成されている。

【0031】メモリパネル 1 は、メモリセル部 1 A と光アドレス部 1 B とからなる。メモリセル部 1 A には、データの電氣的な書き込み、消去が可能な不揮発性の記憶素子であるダブルゲートメモリ 11 がマトリクス状に配置されている。このマトリクスの 1 ラインが、1 ワード分のデータに対応する。ダブルゲートメモリ 11 は、後で詳しく説明するように、ボトムゲートとトップゲートという 2 つのゲートを有するトランジスタによって構成

10

20

30

40

50

されている。

【0032】ダブルゲートメモリ11のボトムゲートは、ボトムゲートラインBGLを介してW/E/R選択ドライバ2に接続されている。トップゲートは、トップゲートラインTGLを介してバッファ5に接続されている。ソースは、ソースラインSLを介してバッファ7に接続されている。ドレインは、ドレインラインDLを介してR選択ドライバ6に接続されている。ダブルゲートメモリ11の構造、及びダブルゲートメモリ11のデータの書き込み、消去、読み出しについては、詳しく後述する。

【0033】一方、光アドレス部1Bには、ダブルゲートメモリ11のライン（ワード）に対応して、有機EL素子12が設けられている。有機EL素子12のアノードは、ダブルゲートメモリ11のボトムゲートと同様に、ボトムゲートラインBGLを介してW/E/R選択ドライバ2に接続されている。有機EL素子12のカソードは、カソードラインCLを介してEL駆動電源回路3に接続されている。なお、有機EL素子12が発した光は、後述するように、同一のラインのダブルゲートメモリ11のボトムゲートに入射される。

【0034】W/E/R選択ドライバ2は、制御部9からの制御信号W/E/Rcntに従って、データの消去、書き込み、或いは読み出しの場合に、それぞれ所定の電圧をボトムゲートラインBGLを介してダブルゲートメモリ11のボトムゲート、及び有機EL素子12のアノードに供給する。データの消去と書き込みの場合にW/E/R選択ドライバ2からボトムゲートラインBGLに出力される電圧は、消去または書き込みを行うラインで0（V）、それ以外のラインで-5（V）となる。データの読み出しの場合にW/E/R選択ドライバ2からボトムゲートラインBGLに出力される電圧は、読み出しを行うラインで+10（V）、それ以外のラインで0（V）となる。

【0035】EL駆動電源回路3は、制御部9からの制御信号ELcntに従って、ダブルゲートメモリ11にデータの消去または書き込みを行う場合に有機EL素子12を発光させるための電圧、例えば、-5（V）をカソードラインCLを介して有機EL素子12のカソードに供給する。また、データの読み出しの場合には、EL駆動電源回路3は、+10（V）の電圧をカソードラインCLを介して有機EL素子12のカソードに供給する。

【0036】S/P変換器4は、データの書き込みまたは消去のために制御部9からシリアルで供給されたデータDATAをパラレルのデータ信号に変換して、バッファ5に供給する。

【0037】バッファ5は、制御部9からの制御信号W/Ecntに従って、S/P変換器4からパラレルで供給されたデータ信号をそれぞれ所定の電圧レベルに変換

して、トップゲートラインTGLを介してダブルゲートメモリ11のトップゲートに供給する。バッファ5は、また、制御部9からの制御信号W/Ecntに従って、トップゲートラインTGLをディスチャージする機能を有する。

【0038】R選択ドライバ6は、制御部9からの制御信号Rcnt1に従って、ドレインラインDLを介してダブルゲートメモリ11のドレインに所定の電圧を供給する。R選択ドライバ6は、データの読み出しを行う場合に、読み出しを行うダブルゲートメモリ11のラインに対応するドレインラインDLに、+10（V）を出力する。それ以外の場合、R選択ドライバ6は、ドレインラインDLに0（V）を出力する。

【0039】バッファ7は、制御部9からの制御信号Rcnt2に従って、ソースラインSLを介してダブルゲートメモリ11からワード単位でパラレルに読み出された信号電圧をそれぞれ所定のレベルのデータ信号に変換して、パラレルでP/S変換器8に供給する。バッファ7は、また、制御部9からの制御信号Rcnt2に従って、ソースラインSLをディスチャージする機能を有する。

【0040】P/S変換器8は、ダブルゲートメモリ11から読み出され、バッファ7でレベルが変換されてパラレルで供給されたデータ信号を、シリアルデータのデータに変換して制御部9に供給する。

【0041】制御部9は、データの消去、書き込み或いは読み出しのために、W/E/R選択ドライバ2、EL駆動電源回路3、バッファ5、R選択ドライバ6、バッファ7に対して、それぞれ制御信号W/E/Rcnt、ELcnt、W/Ecnt、Rcnt1、Rcnt2を供給する。なお、制御信号W/E/Rcnt、Rcnt1は、データの消去、書き込み或いは読み出しを行うラインのアドレス信号である。制御部9は、また、シリアルデータのDATAをS/P変換器4に供給し、シリアルデータのデータをP/S変換器8から受け取る。

【0042】次に、図1のメモリパネル1の構造について、詳しく説明する。図2（a）は、メモリパネル1の構造を示す平面図であり、図2（b）は、図2（a）のX-X断面図（一部省略）である。ここで、図2（a）では、ダブルゲートメモリ11へのデータの書き込み、消去に必要な部分のみを記載している。また、図2（b）では、ダブルゲートメモリ11は、有機EL素子12の最も近くにあるもの1つだけを示してある。

【0043】図2（a）、（b）に示すように、メモリパネル1では、まず、透明のガラス基板10上に、ITO（Indium Tin Oxide）などによって構成されている記憶可能なデータのワード数に対応する透明電極10aが、ガラス基板10の一辺側から対向辺側に向かって、すなわち、メモリセル部1Aから光アドレス部1Bに亘って、互いに平行に形成されている。透明電極10a



は、図1のボトムゲートラインBGLを兼ねるものである。

【0044】透明電極10aは、メモリセル部1Aにおいてはダブルゲートメモリ11のボトムゲート電極として、光アドレス部1Bにおいては有機EL素子12のアノード電極として用いられると共に、有機EL層12aで発した光を導いて、対応するラインのダブルゲートメモリ11の半導体層11bに入射させる。

【0045】メモリセル部1Aにおいては、ガラス基板上10に、透明電極10aを覆うようにして、SiNからなるボトムゲート絶縁膜11aが形成されている。ボトムゲート絶縁膜11aの上には、透明電極10aとトップゲート電極11gとの交差位置において島状に、a-Siからなる半導体層11bが形成されており、半導体層11b上の両側には、n+Si層11cを介してソース電極11dとドレイン電極11eとが後述するトップゲート電極11gの両端部に平面的に重なるように形成されている。これらを覆うようにして、ボトムゲート絶縁膜11aの上には、SiNからなるトップゲート絶縁膜11fが形成されている。

【0046】トップゲート絶縁膜11fの上の、半導体層11bと対向する位置を含むように、メモリパネル1の上部から下部に伸延して、アルミニウムからなるトップゲート電極11gが形成されている。トップゲート電極11gは、図1のトップゲートラインTGLを兼ねるものであり、バッファ5に接続されている。

【0047】なお、トップゲート絶縁膜11fは、半導体層11b或いはボトムゲート絶縁膜11aとの界面近傍において、他の部分よりもSiの比率が高く、Si:N≒1:1となっており、正荷及び負荷のキャリアを容易にトラップするトラップ領域(図中、「— — —」で示す)が形成されている。なお、ボトムゲート絶縁膜11a、及びトップゲート絶縁膜11fのトップゲート電極11g近傍の領域では、Si:N≒3:4となっている。

【0048】また、図示しないが、ボトムゲート絶縁膜11aとトップゲート絶縁膜11fの間で半導体層11bの形成されていない位置には、上下に伸延して形成され、列(縦方向)毎にソース電極11dに接続される図1に示すソースラインSLと、左右に伸延して形成され、行(横方向)毎にドレイン電極11eに接続される図1に示すドレインラインDLとが、それぞれ形成されている。

【0049】一方、光アドレス部1Bにおいては、ガラス基板10上に、透明電極10aの一端を覆うようにして、メモリパネル1の上部から下部に伸延して、有機EL層12aが形成されている。そして、有機EL層12aの上には、MgAg、MgIn、AlLiなどからなるカソード電極12bが形成されている。カソード電極12bは、図1のカソードラインCLに対応するもので

あり、EL駆動電源回路3に接続されている。

【0050】有機EL層12aは、例えば、透明電極10aの側に形成された、N,N'-ジ(α-ナフチル)-N,N'-ジフェニル-1,1'-ビフェニル-4,4'-ジアミンからなる正孔輸送層と、カソード電極12bの側に形成された、ビス(10-ヒドロキシベンゾ[h]キノリン)化ベリリウムからなる電子輸送性発光層との二層構造からなり、この場合には、緑色の波長域の光を発する。この波長域の光は、ダブルゲートメモリ11の半導体層11bを光励起してキャリアを発生させることができるものとする。

【0051】次に、図1、図2のダブルゲートメモリ11の動作原理を、図3を参照して詳しく説明する。なお、ダブルゲートメモリ11においては、透明電極10aは、ボトムゲート電極として機能するので、以下ではボトムゲート電極10aとして説明する。

【0052】まず、データを消去する(0にする)場合には、図3(a)に示すように、ボトムゲート電極10aに0(V)、トップゲート電極11gに-20(V)を印加し、ソース電極11dとドレイン電極11eとにそれぞれ0(V)を印加する。このとき、ボトムゲート電極10aからボトムゲート絶縁膜11aを介して半導体層11bに光を照射する。これにより半導体層11bが光励起されて多量のキャリア(正孔及び電子)が光が入射されない場合に比べて迅速に発生する。発生した正孔は、トップゲート電極11gの-20(V)によって引き寄せられ、ボトムゲート絶縁膜11fのトラップ領域に迅速にトラップされる。トラップされた正孔は、トップゲート電極11gに印加されるトップゲート電圧VTGが0(V)になってもある期間までトラップ領域に存在し続ける。

【0053】次に、データを書き込む(1にする)場合には、図3(b)に示すように、ボトムゲート電極10aに0(V)、トップゲート電極11gに+20(V)を印加し、ソース電極11dとドレイン電極11eとにそれぞれ0(V)を印加する。このとき、半導体層14c内に通常存在する多数キャリアである電子が、トップゲート電極11gの+20(V)によって引き寄せられ、トップゲート絶縁膜11gのトラップ領域にトラップされる。なお、ボトムゲート電極10aからボトムゲート絶縁膜11aを介して半導体層11bに光を照射すれば、光励起によってキャリアが発生されるので、トラップ領域に電子がトラップされるまでの時間がより短くなる。トラップされた電子は、トップゲート電極11gに印加されるトップゲート電圧VTGが0(V)になってもある期間までトラップ領域に存在し続ける。

【0054】また、データを読み出す場合には、図3(c)、(d)に示すように、ボトムゲート電極10aに+10(V)、トップゲート電極11gに0(V)、ソース電極11dに0(V)、ドレイン電極11eに+10(V)を印加する。このとき、データが消去状態

(0) となっている場合には、図 3 (c) に示すように、ボトムゲート電極 10 a の電界及びトラップ領域にトラップされている正孔が作る電界によって、半導体層 11 b 内に n チャンネルが形成される。これにより、ソース電極 11 d とドレイン電極 11 e との間に電流が流れ、消去状態 (0) としてデータを読み出すことができる。

【0055】一方、データが書き込み状態 (1) となっている場合には、図 3 (d) に示すように、ボトムゲート電極 10 a に +10 (V) の電圧が印加されてもトラップ領域にトラップされている電子が作る電界が妨害して、半導体層 11 b 内の n チャンネルがピンチオフされる。すなわち、連続した n チャンネルが形成されていない状態となる。これにより、ソース電極 11 d とドレイン電極 11 e との間に電位差があっても、電流が流れることはなく、書き込み状態 (1) としてデータを読み出すことができる。

【0056】なお、半導体層 11 b 内の n チャンネルの形成には、ボトムゲート電極 10 a に印加された +10

(V) による電界と、トップゲート絶縁膜 11 f のトラップ領域にトラップされた電荷による電界との双方が影響する。しかしながら、このダブルゲートメモリ 11 では、ボトムゲート電極 10 a とトラップ領域とが半導体層 11 b を挟むように位置し、かつ n+Si 層 11 c をウェットエッチングで形成すると、図 4 の電流-電圧特性図に示すように、読み出し電流にヒステリシスが生じる。つまり、ダブルゲートメモリ 11 の構成部材である n+Si 層 11 c をウェットエッチングによりパターニングする場合、エッチング液が a-Si からなる半導体層 11 b と十分な選択比をとれず、図 9 に示すように、長さ  $L_E$  の分 n+Si 層 11 c 及び半導体層 11 b をソース電極 11 d 及びドレイン電極 11 e より内側にエッチングしてしまう。このエッチング液は金属からなるソース電極 11 d 及びドレイン電極 11 e と選択比があるため、電極 11 d、11 e をほとんどエッチしない。このようないわゆるオフセット構造のため、トップゲート電極 11 g に +10 (V) 程度の電圧を印加しても、半導体層 11 b のチャンネル長のうち長さ  $L_E$  の部分には、トップゲート電極 11 g のトップゲート電圧  $V_{TG}$  の影響が、それぞれソース電極 11 d 及びドレイン電極 11 e に印加される電圧により実質的に消失される。したがって、半導体層 11 b のチャンネル長方向に連続して n チャンネルが形成されず、ドレイン電流  $I_d$  が十分流れにくくなる。このため n チャンネルを形成するためには、半導体層 11 b のチャンネル方向に連続して形成され、間にゲート絶縁膜しか介在されていないボトムゲート電極 10 a に正電圧を印加することにより達成される。したがってトップゲート絶縁膜 11 f に正孔がトラップされてもボトムゲート電極 10 a が 0 (V) であれば、連続した n チャンネルを形成されない。そして、図 4 で用いられたダブ

ルゲートメモリ 11 は、半導体層 11 b のチャンネル長を  $10 \mu\text{m}$ 、チャンネル幅を  $100 \mu\text{m}$  と設定され、ソース電極 11 d とドレイン電極 11 e との間に電位差  $V_d$  を +10 (V) とし、トップゲート電極 11 g に印加されたトップゲート電圧  $V_{TG}$  を 0 (V) とし、ボトムゲート電極 10 a に印加されたボトムゲート電圧  $V_{BG}$  を矢印の方向にシフトしている。

【0057】ダブルゲートメモリ 11 では、データ消去時に正孔がトラップされる領域がトップゲート絶縁膜 11 f の半導体層 11 b 側であり、また読み出し時にチャンネル形成する電圧をボトムゲート電極 10 a に印加するため、チャンネル領域、つまり電子が流れる経路は半導体層 11 b 内のボトムゲート電極 10 a 側に発生するため、ドレイン電流の電子がトラップされた正孔と再結合されにくく、ヒステリシスのループは n チャンネルの形成によらず安定している。

【0058】以下、この実施の形態にかかる記憶装置の動作について説明する。この実施の形態にかかる記憶装置の動作は、(1) データの書き込み、(2) データの消去、(3) データの読み出し、の 3 つに分けられる。これらはいずれもワードを単位として行われる。以下、これら 3 つの動作について、それぞれ詳細に説明する。

【0059】(1) データの書き込み

制御部 9 は、まず、書き込むべき 1 ワード分のデータをシリアルデータの DATA として S/P 変換器 4 に供給する。供給された 1 ワード分のデータは、S/P 変換器 4 でパラレルデータに変換されて、対応するデータ信号がバッファ 5 にそれぞれ供給される。

【0060】制御部 9 は、次に、制御信号  $W/E/R_{cnt}$  によって、 $W/E/R$  選択ドライバ 2 からデータを書き込むべきボトムゲートライン BGL (透明電極 10 a) から、0 (V) の電圧を出力させる。このとき、 $W/E/R$  選択ドライバ 2 は、それ以外のボトムゲートライン BGL (透明電極 10 a) に -5 (V) の電圧を供給するが、ボトムゲートライン BGL は、既にキャリアがトラップされているトップゲート絶縁膜 11 f とは反対側に位置するので、ボトムゲートライン BGL の -5 (V) の電界がトップゲート絶縁膜 11 f にトラップされている電子又は正孔を消失させるには至らない。

【0061】制御部 9 は、また、制御信号  $EL_{cnt}$  によって EL 駆動電源回路 3 からカソードライン CL (カソード電極 12 b) に -5 (V) の電圧を供給する。これにより、データを書き込むべきラインの有機 EL 素子 12 のアノード電極 (透明電極 10 a) とカソード電極 12 b との間に電位差が生じ、そのラインの有機 EL 素子 12 の有機 EL 層 12 a が発光し、透明電極 10 a を介して対応するラインのダブルゲートメモリ 11 の半導体層 11 b に入射される。

【0062】こうしてデータを書き込むべきラインの半導体層 11 b に光が入射されることによって、半導体層

11b内にキャリア（正孔及び電子）が発生し、このラインのダブルゲートメモリ11の半導体層11bでは、内部の電子の量が他のラインのものよりも多くなる。

【0063】この状態で、制御部9は、制御信号W/Ecntによってバッファ5からデータ信号が「1」の状態であるビットに対応するトップゲートラインTGL（トップゲート電極11g）には光が照射されている間に+20（V）の電圧を10ns程度の時間出力させる。

【0064】すると、ボトムゲートラインBGL（透明電極10a）を介して光が照射され、トップゲート電極11gに+20（V）の電圧が印加されたダブルゲートメモリ11では、その電圧によって生じる電界によりトップゲート絶縁膜11fのトラップ領域に半導体層11bから光の照射により生成された電子がトラップされる。書き込みの前に消去されていたダブルゲートメモリ11においても、正孔を除去させるとともに電子がトラップされる。これにより、そのダブルゲートメモリ11は、データの書き込み状態（1）となる。同列の半導体層11bに光が照射されずにトップゲート電極11gに+20（V）の電圧が印加されたダブルゲートメモリ11では、半導体層11bに発生した電子が少なく、また印加電圧時間が10nsと短いために、トラップ領域に電子がほとんどトラップされず、書き込む前の状態が消去であったダブルゲートメモリ11の場合、トラップされた正孔は除去されずに保持し続けることができる。

【0065】（2）データの消去

制御部9は、まず、1ワード分をすべて「0」の状態としたデータをシリアルなデータDATAとしてS/P変換器4に供給する。供給された1ワード分のデータは、S/P変換器4でパラレルデータに変換されて、対応するデータ信号がバッファ5にそれぞれ供給される。

【0066】制御部9は、次に、制御信号W/E/Rcntによって、W/E/R選択ドライバ2からデータを消去すべきボトムゲートラインBGL（透明電極10a）から、0（V）の電圧を出力させる。このとき、W/E/R選択ドライバ2は、それ以外のボトムゲートラインBGL（透明電極10a）に-5（V）の電圧を供給するが、トップゲート絶縁膜11fにトラップされているキャリアを除去させるには至らない。この動作は上述の書き込み動作と一括して行われる。

【0067】制御部9は、また、制御信号ELcntによってEL駆動電源回路3からカソードラインCL（カソード電極12b）に-5（V）の電圧を供給する。これにより、データを消去すべきラインの有機EL素子12のアノード電極（透明電極10a）とカソード電極12bとの間に電位差が生じ、そのラインの有機EL素子12の有機EL層12aが発光し、透明電極10aを介して対応するラインのダブルゲートメモリ11の半導体層11bに入射される。この動作は上述の書き込み動作

と一括して行われる。

【0068】こうしてデータを消去すべきラインの半導体層11bに光が入射されることによって、半導体層11b内にキャリア（正孔及び電子）が発生し、このラインのダブルゲートメモリ11の半導体層11bでは、内部の正孔の量が他のラインのものよりも多くなる。

【0069】この状態で、制御部9は、制御信号W/Ecntによってバッファ5からトップゲートラインTGL（トップゲート電極11g）に-20（V）の電圧を、光が照射されている期間のうちの1ms程度の間出力させる（この場合、データ信号が「0」の状態にさせるため）。この動作は上述のトップゲートラインTGLへの+20（V）の電圧書き込み動作と一括して行われる。

【0070】すると、ボトムゲートラインBGL（透明電極10a）を介して光が照射され、トップゲート電極11gに-20（V）の電圧が印加されたダブルゲートメモリ11では、その電圧によって生じる電界によりトップゲート絶縁膜11fのトラップ領域に半導体層11bから正孔がトラップされる。消去の前に書き込まれていたダブルゲートメモリ11においても、電子を除去させるとともに正孔がトラップされる。これにより、そのダブルゲートメモリ11は、データの消去状態（0）となる。

【0071】同列の半導体層11bに光が照射されずにトップゲート電極11gに-20（V）の電圧が印加されたダブルゲートメモリ11では、半導体層11bに発生した電子が少なく、また印加電圧時間が1msと短いために、トラップ領域に正孔がほとんどトラップされず、また書き込む前の状態が書き込みであったダブルゲートメモリ11の場合、トラップされた電子は除去されずに保持し続けることができる。

【0072】このように各ビットに応じたデータの書き込み又は消去は、光走査に沿って同時に行われる。また各ビットの書き込み状態は消去状態を上書きされるまで続き、消去状態は書き込み状態を上書きされるまで続く。

【0073】（3）データの読み出し

制御部9は、制御信号W/Ecntに従って、トップゲートラインTGL（トップゲート電極11g）をディスチャージさせ、制御信号Rcnt2によってバッファ7を制御し、ソースラインSLをディスチャージさせる。これにより、トップゲートラインTGL（トップゲート電極11g）及びソースラインSLの電位はすべて0（V）となる。

【0074】次に、制御部9は、制御信号W/E/Rcntによって、W/E/R選択ドライバ2からデータを読み出すべきボトムゲートラインBGL（透明電極10a）から、+10（V）の電圧を出力させる。このとき、W/E/R選択ドライバ2は、それ以外のボトムゲ

ートラインBGL（透明電極10a）に0（V）の電圧を供給する。

【0075】制御部9は、また、制御信号ELcntによってEL駆動電源回路3からカソードラインCL（カソード電極12b）に+10（V）の電圧を供給する。これにより、有機EL素子12のアノード電極（透明電極10a）とカソード電極12bとの間は等電位または逆バイアスなので電流が流れることはなく、いずれの有機EL層12aも発光しない。このため、いずれのダブルゲートメモリ11の半導体層11bにも光は入射され

ない。

【0076】この状態で、制御部9は、制御信号Rcnt1によってR選択ドライバ6からデータの読み出しをすべきラインのドレインラインDLに+10（V）を出力する。このとき、データの書き込み状態（1）となっているダブルゲートメモリ11の半導体層11bには、図3（d）に示したように、nチャネルが消失している。また、データの消去状態（0）となっているダブルゲートメモリ11の半導体層11bには、図3（c）に示したように、トラップされた正孔がチャネルを減じる方向には働かないので連続したnチャネルが形成される。このため、データの書き込み状態（1）となっているダブルゲートメモリ11では、ソース電極11dとドレイン電極11eとの間に電流が流れず、ソースラインSLの電圧がほぼ0（V）のままとなる。一方、データの消去状態（0）のダブルゲートメモリ11では、ソース電極11dとドレイン電極11eとの間に電流が流れ、ソースラインSLの電圧は+10（V）となる。

【0077】そして、制御部9は、制御信号Rcntによってバッファ7からソースラインSLの電圧に対応したデータ信号を行毎にパラレルでP/S変換器8に供給させ、P/S変換器8からシリアルデータdataとしてデータが書き込みデータであるか消去データであるかを読み出す。

【0078】以上説明したように、この実施の形態にかかる記憶装置に使用されるメモリパネル1に配されたダブルゲートメモリ11は、トップゲート絶縁膜11fをシリコンリッチな構成とし、ここにトラップ領域を設けると共に、トラップ領域にトラップされるキャリアを透明電極10aから光を入射させることによって発生させている。このため、キャリア（正孔または電子）がトラップ領域にトラップされた状態、すなわちデータの消去状態または書き込み状態とするまでの時間が、従来のダブルゲートメモリに比べて短縮される。特に、a-Siによって構成される半導体層11bの少数キャリアである正孔をトラップ領域にトラップさせる、データの消去状態とするまでの時間の差は、従来のダブルゲートメモリに比べて顕著に現れる。

【0079】また、半導体層11bにおいて、光励起させてキャリアを発生させているため、選択されていない

ダブルゲートメモリ11のトラップ領域にキャリアが注入されて、データ化けが生じることを防ぐことができる。

【0080】さらには、トラップ領域の形成されている位置が、半導体層11b内でnチャネルが形成される面と反対側となるので、トラップ領域にトラップされているキャリアの量がnチャネルを流れる電流で大きく減衰されることはない。このため、この実施の形態のダブルゲートメモリ11は、図4に示すように、読み出し電流のヒステリシスが従来のダブルゲートメモリに比べて、何度も書き込み及び消去を繰り返してもほとんど変化することはない。

【0081】さらに、メモリパネル1、1-1～1-4に配置されている各ダブルゲートメモリ11は、図9に示すようないわゆるオフセット構造であるため、トップゲート電圧11gは正電圧を印加しても実質的にnチャネルを形成することはできない。この場合、データの読み出し時にドレイン電極11eに加わる電圧によってトップゲート絶縁膜11fのトラップ領域にトラップされたキャリアに加わる影響が少なくなり、キャリアの量に変化を受けにくい。また、半導体層11bに形成されるnチャネルと反対側がオフセット構造となっているため、ドレイン電極11eとソース電極11dとの間に流れる電流の影響を受けることも少なくなる。

【0082】本発明においては、上記で説明したメモリパネル1だけでなく、種々の変形を加えたものが存在する。以下、本発明の範囲に含まれるメモリパネルの他の態様（第1～第4の変形態様）について、それぞれ対応する図面を参照して説明する。

【0083】（第1の変形態様）図5は、第1の変形態様にかかるメモリパネルの構造を示す断面図である。図示するように、このメモリパネル1-1では、透明電極10a、有機EL層12a及びカソード電極12bで構成する有機EL素子12の代わりに、光アドレス部1BにLEDアレイユニット12'を用い、光学的接合部12''で接合している。このように、光アドレス用には、有機EL素子以外の発光素子を使用することが可能となる。

【0084】（第2の変形態様）図6は、第2の変形態様にかかるメモリパネルの構造を示す断面図である。図示するように、このメモリパネル1-2では、ガラス基板10の一方の面に、ダブルゲートメモリ11が形成され、各ダブルゲートメモリ11に対向してガラス基板10の他方の面に、アノード電極12c、有機EL層12d、カソード電極12eからなる有機EL素子12が形成されている。また、ボトムゲート電極11hが透明のITOなどで構成されている。ここで、有機EL素子12を1つずつ選択して発光させることができるようにすれば、1ビット単位でのデータの消去或いは書き込みが可能となる。また、アノード電極12cは、透明電極1

0 a のように延在して複数のビットを一括して照射することもできる。

【0085】（第3の変形態様）図7は、第3の変形態様にかかるメモリパネルの構造を示す断面図である。図示するように、このメモリパネル1-3では、ダブルゲートメモリ11のトップゲート電極10bが透明のITOなどで、ボトムゲート電極11hがアルミニウムなどの不透明導電物で構成されている。トップゲート電極10bは、有機EL素子12のアノード電極を兼ね、その上に有機EL層12cと、カソード電極12gとが形成されている。この場合、ライン毎に有機EL層12cとカソード電極12dとを製膜すれば、導光路を用いずに、ワード単位でのデータの消去或いは書き込みが可能となる。

【0086】（第4の変形態様）図8は、第4の変形態様にかかるメモリパネルの構造を示す断面図である。図示するように、このメモリパネル1-4では、ダブルゲートメモリ11のボトムゲート電極11hがアルミニウムなどで、トップゲート電極11iが透明のITOで構成されている。また、ガラス基板10上に有機EL素子は形成されておらず、トップゲート電極11iと対向するように、平面発光パネル13が配置されている。これにより、全ビット或いはブロック単位での一括消去が可能となる。

【0087】〔第2の実施の形態〕この実施の形態では、第1の実施の形態で説明したメモリパネルの機能を利用して指紋の画像を撮影する指紋センサに、本発明を適用した場合について説明する。

【0088】図10は、この実施の形態にかかる指紋センサの構造を概略的に示す断面図である。図示するように、この指紋センサは、メモリパネル1と、ランプ20と、プリズム30と、集光レンズ40とからなる。メモリパネル1は、ガラス基板10の側を、集光レンズ40の方向に向けて配置されている。

【0089】ランプ20は、プリズム30上に載置された指紋に光を照射するものである。プリズム30は、指紋照合部30a上に指紋が載置されるものであり、ランプ20が発した光が入射され、指紋との接触面で指紋の紋様に応じてその光を反射して、集光レンズ40に向けてその光を放出する。集光レンズ40は、ランプ20から照射され、プリズム30の指紋照合部30aで反射された光の像をメモリパネル1に結像させる。なお、ランプ20が発した光は、メモリパネル1には、直接入射されないようになっている。

【0090】この実施の形態にかかる指紋センサにおいて、指紋の画像を読み取るための駆動回路としては、図1に示した記憶装置で用いていたものと同一のものが用いられる。但し、制御部9から各部に供給される制御信号は、第1の実施の形態のものと信号の供給タイミング等が異なり、また、制御部9からS/P変換器4に供給

するデータDATAは、ダブルゲートメモリ11への指紋の紋様に合わせた光量に応じて発生される電子をトラップさせるために第1の実施の形態の書き込みを行うためのデータと同様のデータ、すなわちバッファ5からダブルゲートメモリ11のトップゲート電極11gに供給される電圧が、+20（V）となるようなデータである。

【0091】以下、この実施の形態にかかる指紋センサの動作について説明する。指紋の画像を撮影する場合、まず、制御部9は、1ワード分すべてをデータの消去状態（0）またはトラップ領域にトラップされている電子、正孔のほとんどないニュートラルな状態とするシリアルデータDATAをS/P変換器4に供給し、さらに制御信号W/Ecntによりバッファ5から1ワード分すべてが消去状態またはニュートラル状態のデータ信号をトップゲートラインTGL（トップゲート電極11f）に出力させる。これにより、すべてのダブルゲートメモリ11のトップゲート電極11fにデータの消去状態（0）またはニュートラル状態とするデータ信号が供給される。このとき、全ての有機EL素子12及び／又はランプ20を発光し、強制的に光を入射してキャリアを発生させて迅速に前のセンスでトラップされた電子を除去する。ランプ20のみで強制除去する場合、有機EL素子12を設けなくてよいが、その場合全てのダブルゲートメモリ11に光が照射されるように指紋照合部30aの全面を不透明な部材で平滑に覆う等により光を反射させる動作が要求される。

【0092】次にメモリパネル1上のすべてのダブルゲートメモリ11をデータの書き込み状態とする。すなわち、W/E/R選択ドライバ2からすべてのボトムゲートラインBGL（透明電極10a）に0（V）の電圧を供給させ、バッファ5からすべてのトップゲートラインTGL（トップゲート電極11f）に+20（V）の電圧を供給する。これにより、すべてのダブルゲートメモリ11がデータの書き込み状態（1）となる。この間においてはランプ20は、点灯していても、指紋が指紋照合部30aにないのでダブルゲートメモリ11に光が反射されないで、点灯していても消灯していてもよい。このとき、有機EL素子12は発光していない。

【0093】次に、ランプ20を一定期間点灯状態とし、プリズム30の指紋照合部30aに載置された指紋に光を照射する。この光は、指紋の凸部ではかなりの量が反射するが、凹部では反射量が少なく、光の像となってプリズム30から出射し、集光レンズ40を介してダブルゲートメモリ11に入射する。

【0094】このとき、ランプ20からプリズム30及び集光レンズ40、並びにガラス基板10及び透明電極10bを介して半導体層11bに入射する光が明るいダブルゲートメモリ11では、半導体層11b内に十分な量の電子が発生するので、短時間のうちに電子がトップ

ゲート絶縁膜 1 1 f のトラップ領域にトラップされてデータの書き込み状態 (1) となる。一方、半導体層 1 1 b に入射する光が暗いダブルゲートメモリ 1 1 では、半導体層 1 1 b 内に発生する電子の量は少ないので、トラップ領域には何もトラップされていないか正孔がトラップされている状態になる。

【0095】これにより、すべてのダブルゲートメモリ 1 1 は、データの書き込み状態かそうでない状態かのいずれかに固定化される。

【0096】次に読み込み動作について説明する。読み込み動作では、所定の行のドレインライン DL に +10 (V) の電圧を、ボトムゲートライン BGL に +10 (V) の電圧を印加し、反射光に応じて n チャンネルを形成する。ここで指紋の凸部のビットに対応するダブルゲートメモリ 1 1 は、書き込み状態 (1) であるので、ソースライン SL が 0 (V) 程度の電圧のままであり、指紋の凹部のビットに対応するダブルゲートメモリ 1 1 は、n チャンネルの形成を阻害するトラップされた電子がほとんどないため、ドレイン電流が流れてソースライン SL を介しバッファ 7 に +10 (V) 程度の電圧信号を出力する。この読み込み動作は行毎に順次行われ、最終行で動作が終了する。こうして P/S 変換器 8 から得られたデータ data が、暗と明の指紋の 2 値画像のデータとなり、制御部 9 で予め保存されていたデータとの照合が行われる。

【0097】また、上記撮像装置は、複数のダブルゲートメモリ 1 1 を縦横にマトリクス状に配列して、指紋を指紋照合部 3 0 a で固定してセンスする構造であったが、図 1 1 に示すようにダブルゲートメモリ 1 1 を一行に配置させた構造でもよい。この場合、指を指紋照合部 3 0 a 上に載置して列方向にスライドさせる。

【0098】スライドされている間、バッファ 5 からトップゲートライン TGL に +20 (V) の電圧を出力して指紋の凹凸により異なる反射光に応じて電子をトラップさせ、トラップ後にトップゲートライン TGL を 0 (V) とし、トラップ中またはトラップ後に R 選択ドライバ 6 からドレインライン DL に +10 (V) の電圧を印加し、ボトムゲートライン BGL に +10 (V) を印加し、反射光に応じてソースライン SL に印加される電圧がバッファ 7 に供給される一連の動作が順次行われる。P/S 変換器 8 は、ダブルゲートメモリ 1 1 から読み出され、バッファ 7 でレベルが変換されてパラレルで供給されたデータ信号を、一行分毎或いは一行を複数回繰り返した複数分毎にシリアルなデータ data に変換して制御部 9 に供給する。また指紋センスの直前に、前のセンスでトラップされている電子を有機 EL 素子 1 2 及び/またはランプ 2 0 の照射、並びにトップゲートライン TGL への負電圧の印加で強制的に排除し、トラップ領域にはキャリアがほとんどない状態または正孔がトラップされた消去状態にさせる。ランプ 2 0 のみで強制

除去する場合、有機 EL 素子 1 2 を設けなくてよいことは言うまでもないがその場合、全てのダブルゲートメモリ 1 1 に光が照射されるように指紋照合部 3 0 a の全面を平滑に覆う等の反射させる動作が要求される。

【0099】この構造の撮像装置の場合、ダブルゲートメモリ 1 1 の数を少なく抑えるので、歩留まりを高くして製造することができる。

【0100】以上説明したように、この実施の形態にかかる指紋センサでは、指紋の画像を撮影するための回路として、制御部 9 が出力する制御信号を変えるだけで、第 1 の実施の形態で説明した記憶装置 (図 1) と同一の回路を用いることができる。この制御回路は、ソフトウェアまたはファームウェアを変更することによって変えることができるので、記憶装置と同一構成のハードウェアを指紋の画像を撮影するための撮像装置としても用いることができる。

【0101】このように、同一構成のハードウェアを記憶装置と、撮像装置という異なる 2 つの用途に適用することによって、1 つのハードウェアとしての生産量が増え、様々な量産化メリット、例えば、コスト低減、製造工程における中間在庫量の削減などのメリットを得ることができる。

【0102】上記第 1、第 2 実施形態では、ダブルゲートメモリ 1 1 が n チャンネル構造であったが、p チャンネル構造として各駆動電圧の極性を反対にして動作させてもよい。

【0103】本発明の撮像装置は、上記のように指紋センサとして使用する場合だけでなく、スキャナなど他の撮像装置としても用いることができる。また、上記の第 1 の実施の形態の変形態様として説明した、図 5 或いは図 8 に示すメモリパネル 1-1、1-4 も撮像装置として適用することができる (但し、図 8 に示すメモリパネル 1-4 では、トップゲート電極 1 1 i の側を集光レンズ 4 0 に向けるように配置し、平面発光パネル 1 3 を集光レンズ 4 0 からの光の経路から外して配置する)。

【0104】

【発明の効果】以上説明したように、本発明によれば、記憶素子へのデータの書き込み及び消去の時間を短くすることができる。

【0105】また、本発明の撮像装置によれば、記憶装置との部品の共通化により、様々な量産化メリットを得ることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態にかかる記憶装置の回路構成を示すブロック図である。

【図 2】図 1 のメモリパネルの構造を示す図であり、(a) は平面図、(b) は (a) の X-X 断面図である。

【図 3】図 1、図 2 のダブルゲートメモリの動作原理を説明する図である。



【図4】図1、図2のダブルゲートメモリの電流－電圧特性図である。

【図5】本発明の第1の実施の形態の変形にかかるメモリパネルの構造を示す断面図である。

【図6】本発明の第1の実施の形態の変形にかかるメモリパネルの構造を示す断面図である。

【図7】本発明の第1の実施の形態の変形にかかるメモリパネルの構造を示す断面図である。

【図8】本発明の第1の実施の形態の変形にかかるメモリパネルの構造を示す断面図である。

【図9】本発明の第1の実施の形態の変形にかかるダブルゲートメモリの構造を示す図である。

【図10】本発明の第2の実施の形態にかかる撮像装置の構造を示す断面図である。

【図11】本発明の第2の実施の形態の変形にかかる撮像装置の回路構成を示すブロック図である。

【図12】従来のメモリパネルの構造を示す断面図である。

【図13】図12のダブルゲートメモリの動作原理を示す図である。

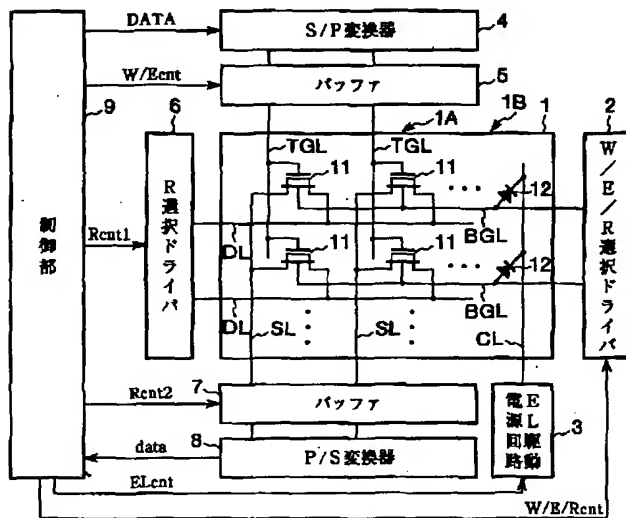
【図14】図12のダブルゲートメモリの電流－電圧特

性図である。

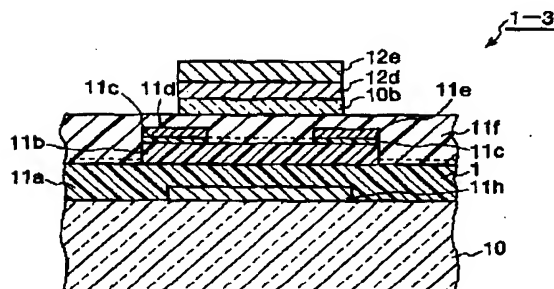
【符号の説明】

- 1…メモリパネル、1A…メモリセル部、1B…光アドレス部、2…W/E選択ドライバ、3…EL駆動電源回路、4…S/P（シリアル／パラレル）変換器、5…バッファ、6…R選択ドライバ、7…バッファ、8…P/S（パラレル／シリアル）変換器、9…制御部、10…ガラス基板、10a…透明電極、10b…トップゲート電極（兼アノード電極）、11…ダブルゲートメモリ、11a…ボトムゲート絶縁膜、11b…半導体層、11c… $n+Si$ 層、11d…ソース電極、11e…ドレイン電極、11f…トップゲート絶縁膜、11g…トップゲート電極、11h…ボトムゲート電極、11i…トップゲート電極、12…有機EL素子、12'…LEDアレイユニット、12''…光学的接合部、12a…有機EL層、12b…カソード電極、12c…アノード電極、12d…有機EL層、12e…カソード電極、12f…有機EL層、12g…カソード電極、13…平面発光パネル

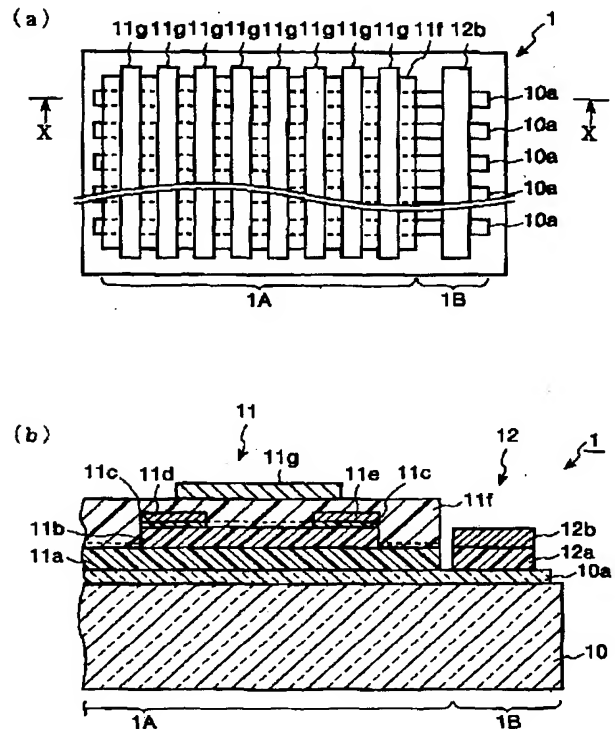
【図1】



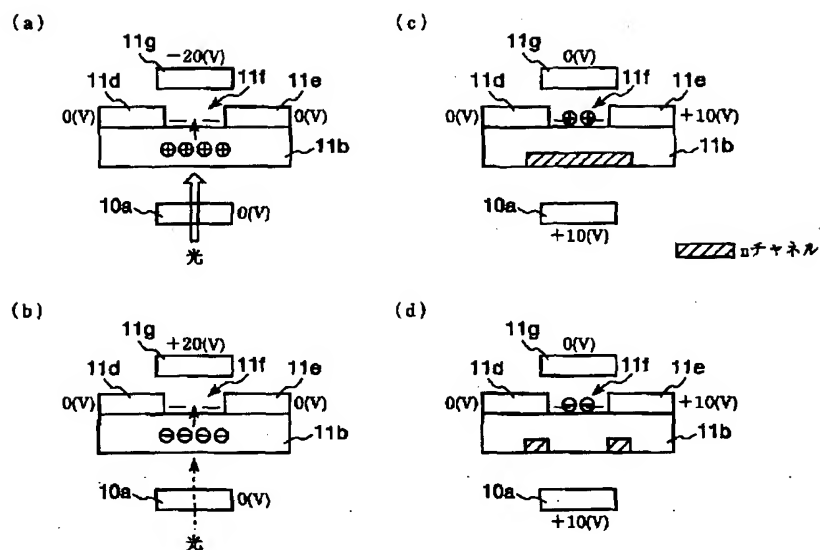
【図7】



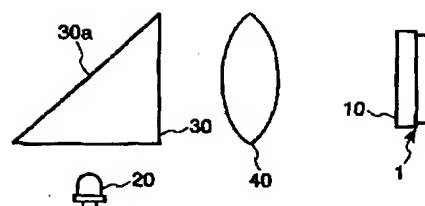
【図2】



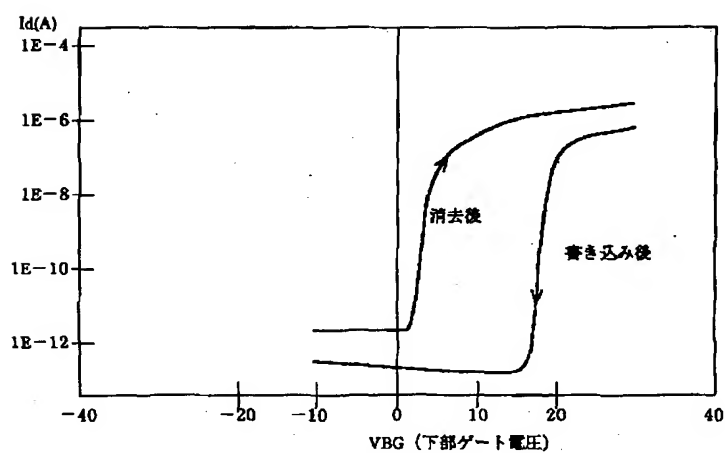
【图 3】



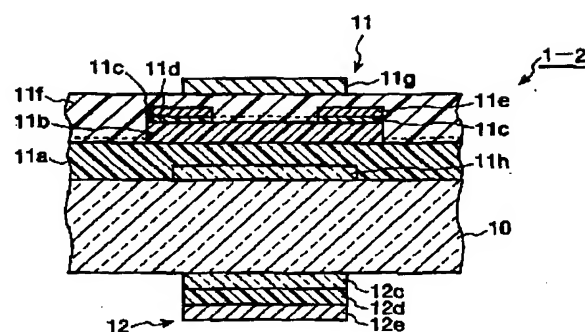
【図 10】



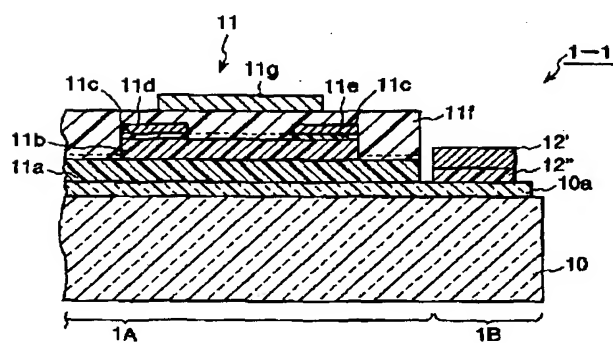
【図 4】



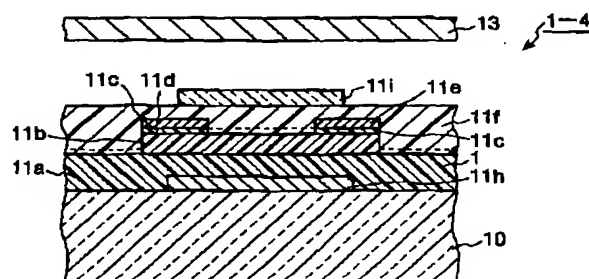
【図 6】



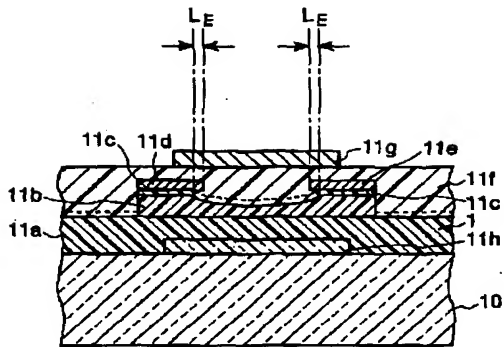
【図 5】



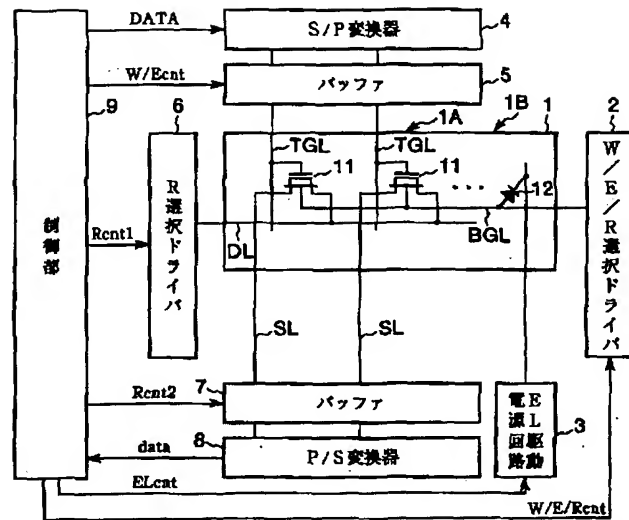
【図8】



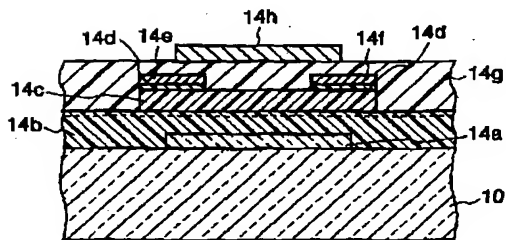
【図 9】



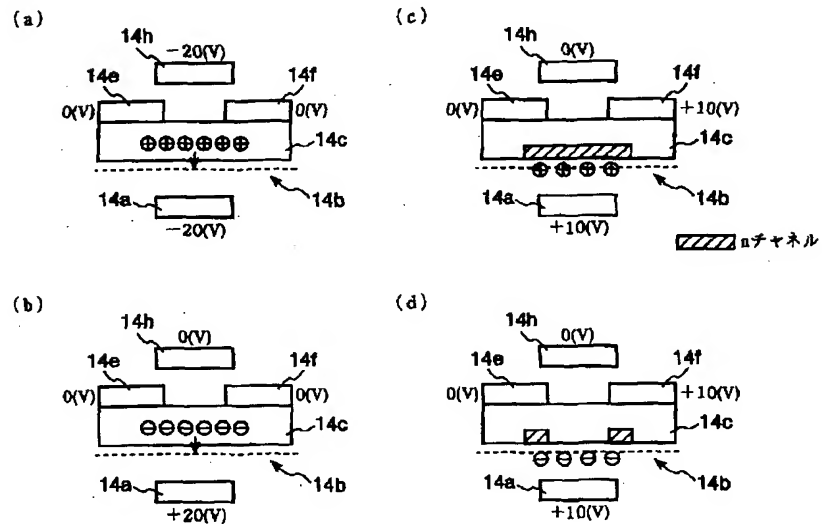
【図 11】



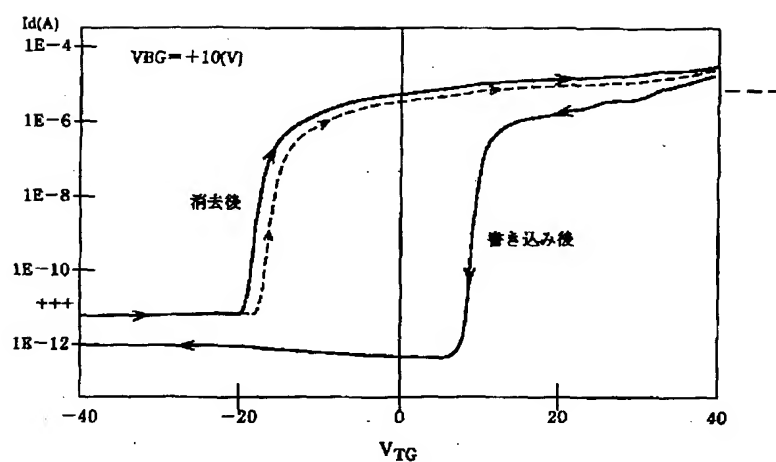
【図 12】



【図 13】



【図 14】



フロントページの続き

(51) Int. Cl.<sup>7</sup>

識別記号

F I

ターマコード' (参考)

H 0 1 L 29/788

H 0 1 L 27/14

A

29/792

29/78

3 7 1

H 0 4 N 5/335

// H 0 5 B 33/14